

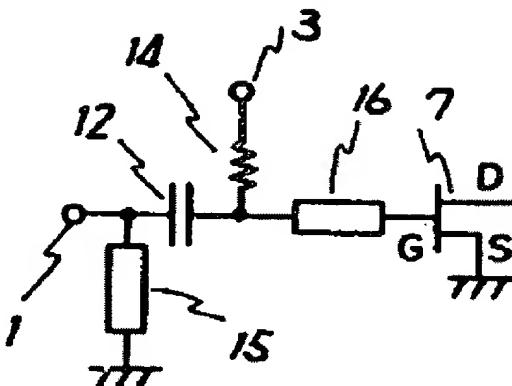
## FET MIXER

**Patent number:** JP60064508  
**Publication date:** 1985-04-13  
**Inventor:** SUGIURA SADAHIKO  
**Applicant:** NIPPON ELECTRIC CO  
**Classification:**  
- **international:** H03D7/12; H03D9/06  
- **European:** H03D7/12A  
**Application number:** JP19830173484 19830920  
**Priority number(s):** JP19830173484 19830920

[Report a data error here](#)

### Abstract of JP60064508

**PURPOSE:** To eliminate the need for the adjustment for optimizing a circuit to a frequency component by utilizing that almost no current flows to a gate of an FET so as to a bias through a resistor. **CONSTITUTION:** A capacitor 12 is selected to a large static capacitance value so as to be almost short-circuited even to an intermediate frequency, then the capacitor 12 is almost short-circuited and a transmission line stub 15 and a transmission line stub 16 are almost short-circuited. Since a gate current flowing to and FET7 is very minute, no effect is given to the supply of bias even if a resistor 14 is selected as nearly 10kOMEGA. Thus, the resistor 14 can be regarded as a nearly infinite resistance, and the impedance viewed from a gate terminal G toward the external line is nearly zero. Since the condition of an input matching circuit to an intermediate frequency component when an FET mixer offers the highest performance in general is that the gate terminal G is short-circuited, the input matching circuit is optimized two frequencies, that is, the input signal frequency and the intermediate frequency.



Data supplied from the **esp@cenet** database - Worldwide

④ 日本国特許庁 (JP) ⑤ 特許出願公開  
 ⑥ 公開特許公報 (A) 昭60-64508

⑦ Int. Cl.  
 H 03 D 7/12  
 9/06

識別記号

厅内整理番号  
 7402-5J  
 7402-5J

⑧公開 昭和60年(1985)4月13日

審査請求 未請求 発明の数 1 (全4頁)

⑨発明の名称 FETミキサ

⑩特 願 昭58-173484  
 ⑪出 願 昭58(1983)9月20日

⑫発明者 杉浦 賢彦 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑬出願人 日本電気株式会社 東京都港区芝5丁目33番1号  
 ⑭代理人 弁理士 内原 普

## 明細書

発明の名称 FETミキサ

## 特許請求の範囲

周波数混合される入力信号を静電容量電子および第1の信号整合作用伝送路を介してゲートに受けるFETと、前記静電容量電子の第1の信号整合作用伝送路が接続されていない端子に一端が接続されている第2の信号整合作用伝送路の他端が接続しており、前記静電容量電子の静電容量値が前記周波数混合により生ずる中間周波数に対しても遅延とみなしうる大きさであり、前記FETに対するゲートバイアス電圧を抵抗電子を介して印加することを特徴とするFETミキサ。

## 発明の詳細な説明

本発明はFETを用いたミキサ、特に入力信号周波数がマイクロ波帯であるFETミキサに関する。

マイクロ波帯ミキサの周波数混合電子には通常ダイオードが使用されているが、近年 GaAs MBS FET の進歩に伴ないこれを周波数混合電子として使用したマイクロ波帯ミキサの開発が進められている。FETミキサはダイオードミキサに比べて操作指數は若干劣るが、増益機能を有し、しかも FETドレイン・ゲート間のアイソレーション効果が利用できるから、フィルタ系が簡単になる等の特徴があり、主として簡易移動通信機への適用が考えられている。

図1は従来のFETミキサの入力結合回路を示す回路図であり、1は信号入力端子、2はDCブロック用コンデンサ、3はゲートバイアス供給端子、4はRFテューピングコイル、5は信号整合作用のコンデンサ、6は信号整合作用の伝送路、7はFETであり、文字G, D, SはそれぞれFET 7のゲート端子、ドレイン端子、ソース端子を示す。

従来のFETミキサの入力結合回路には以下に述べる欠点がある。まず図1にミキサ化に信号増幅、ローカル周波数、中間周波数、さらにこれ

## 特開昭60- 64508(2)

らの組み合せ(例えばイメージ周波数)等の多様の周波数成分があるため、入力整合回路を入力信号周波成分にのみ整合をとっても必ずしも最高の性能(すなわち最小の雜音相殺と、最大の受換利得)が得られるとは限らないことが挙げられる。入力整合回路を入力信号周波成分に整合をとることは最高性能を得るために必要な条件になつてはいるが、そのために他の周波数成分に対して劣悪な状態にした場合は、入力信号周波成分に対しては若干整合を外しても他の周波数成分に対して優良な状態にした場合よりも性能が劣るのが普通である。したがって、従来の PBT ミキサでは一応入力信号周波数に整合をとるように設計し、最終的には試行錯誤による調査で最高性能を得ていた。従来マイクロ波回路の回路は調整に手間を要しても性能を実現するのが常態であったから、調整を要することとは欠点として表面には出ていなかった。

しかし、近年マイクロ波回路でも低雑音、低偏格化が要求されるようになってきた。とくに、

○○○基板を使用したモノリシック IC では回路

調整が困難なため従来の回路をそのまま適用するわけにはいかなくなつた。さらに、第 1 回の回路構成ではバイアス供給用に FBT チューブコイル 4 を備えているが、チューブコイルは一般に大形になる。従来回路の大形化はそれほど大きな問題ではなかったが、モノリシック IC ではチップの外形を小形化することが、低雑音化を要求する上で本質的な問題となつてきた。

本発明の目的は、回路調整がほとんど必要なく、しかも小さな PBT ミキサを提供にある。

本発明によれば周波数整合される入力信号を静電容量電子および第 1 の信号整合用伝送線路を介してゲートに受けける PBT と、前記静電容量電子の第 1 の信号整合用伝送線路が接続されていない端子に一般に接続されている第 2 の信号整合用伝送線路の角端が接続してあり、前記静電容量電子の静電容量が、前記周波数整合により生ずる中間周波数に対して短絡とみなしうる大きさであり、前記 PBT に対するゲートバイアス電圧を静電容量子を介して印加することを特徴とする PBT ミキサ

が得られる。

次に附圖を参照して本発明を詳細に説明する。  
第 2 図は本発明の一実施例における入力整合回路を示す回路図であり、12 は DC ブロッカ用のコンデンサ、14 はバイアス電圧供給用の抵抗、15 は信号整合用の伝送線路タップ、16 は信号整合用の伝送線路である。

第 3 図は PBT 7 の入力アドミタンスを説明するためのスミス座標(アドミタンス表示)であり、図中の X 軸 213 がソース接続 PBT 7 の S 行列の II 成分(すなわちソース接続 PBT のゲート側、ドレイン側を 50 Ω の基準抵抗で表現した組合のゲート端から見た入力アドミタンス)である。これを外部回路の基準抵抗 50 Ω(回路内に中心となる点)に整合をとるために整合回路が必要になる。本発明において、点線が第 1 図に示した従来の PBT ミキサの整合軌跡、実線が第 2 図に示した本発明の PBT ミキサの整合軌跡である。

第 3 図から明らかかなようだ、整合回路が異なるため整合軌跡の性格は異なるが、整合横幅という点

に関しては同一である。すなわち、入力信号周波数成分に対する整合という機能に関しては本発明と従来回路とに本質的な差は無い。

しかしながら、中間周波数成分に対してはまったく異なる動作をする。中間周波数は信号周波数に比較してずっと低い。したがって、第 1 回の回路でコンデンサ 12 やおよび 14 はばば開放、コイル 4 やおよび伝送線路 6 はばば短絡となるので、PBT 7 のゲート端子から外側を見たインピーダンスは端子 3 に接続される回路電子に依存する。

一方第 2 図の回路では、コンデンサ 12 は中間周波数に対してはばば短絡になるよう大きな静電容量値に選んであるのではばば短絡であり、伝送線路タップ 15 やおよび伝送線路 6 もはばば短絡となる。また PBT 7 に流れるゲート電流は極めて微小であるから抵抗 14 は 10 kΩ 程度の大きな値に選んでもバイアス供給には何等影響しない。したがって抵抗 14 はばば開放とろさせる。よって、PBT 7 のゲート端子 G から外側を見たインピーダンスは、端子 3 に接続される回路電子に依存せずにばば短絡

## 特許第60-64508(3)

となる。一般に FBT ミキサが最高性能を出すため入力整合回路の中間周波数成分に対する条件は、ゲート電子 0 が短絡になるとことであるから、第 2 図のミキサでは、入力整合回路が入力信号源回路と中間周波数の 2 つの周波数成分に対して最適化されている。

また、この実施例では接続部を介して DFBT のゲートバイアスを供給している。抵抗は高周波特性がないため、信号周波数に対しては接続部ならば中間周波数に対しては高周波となる。従来の回路ではバイアスはチートコイルにより供給していた。その場合、中間周波数に対して開放となるよう大きなインダクタシントを持つコイルは極めて大型となる。本実例では DFBT のゲートにはほとんど電流が流れないことを利用して直列でバイアスを供給しているため、回路の小型化が可能になる。

さらに、本実施例においては入力信号源回路に対する結合付伝送部路ステップ 15 および伝送部路 16 が実現し、従来回路の上にコンデンサ 5 を使用

してないことに注目されたい。モノリシック ICにおいては、コンデンサはいわゆる MIM(金属・絶縁体・金属)膜が使われる。MIM コンデンサの各電極部は絶縁体の厚さに依存する。ところが絶縁体の厚さは 1  $\mu$ m 以下 (100 ~ 600 nm 程度) と非常に薄いから、厚さの誤差を考慮しく行なうことは極めて難かしい。すなわち、従来の回路をモノリシック IC で実現すると歩留まりが極めて悪い。これに対して伝送部路と伝送部路ステップ (5 を含む) の操作にはリフトオフ、遮光エッチングあるいは遮光マスクが使われるが、これらはリングラフィの精度にのみ依存し、操作方向の誤差が等性に関係しないから、歩留まりの低下が防止できる。

第 4 図は第 2 回路の回路を GAA 並列上にモノリシック実現した場合の構成パトーン図である。

第 5 図は FBT としてデ・アルゲート FBT を使用した場合の本実例の実施例を示す回路図で、デ・アルゲート FBT 21 の各電子部品はドレイン、S はソース、G1 は高さゲート、G2 は第 2 ゲー

トを示す。デ・アルゲート FBT ミキサの場合、信号用波数成分は通常第 1 ゲート G1 に入力され、第 2 ゲート G2 にはローカル周波数成分が入力される。

以上詳細に説明したように、本実例によれば回路調整がほとんど必要なく、しかも小形化を実現される。

## 回路の構成と説明

第 1 図は従来の FBT ミキサの入力整合回路を示す回路図、第 2 図は本実例の一実施例における入力整合回路を示す回路図、第 3 図は DFBT の入力アドミタンスを算出するためのアドミタンス表示のスケルトン表示を示す図、第 4 図は第 2 回路を GAA 並列上にモノリシック実現した場合の構成パトーン図、第 5 図は本実例の他の実施例における入力整合回路を示す回路図である。

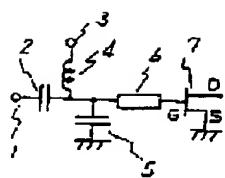
1 ～ 4 は信号入力端子、5 ～ 12 は DC プロテク用のコンデンサ、3 ～ 4 はゲートバイアス供給端子、4 ～ 5 は RFB チューブコイル、5 ～

7 は信号整合用のコンデンサ、6 ～ 10 は信号整合用の伝送部路、7 ～ 10 は FBT、14 ～ 15 は抵抗、15 ～ 16 は信号整合用伝送部路ステップ。

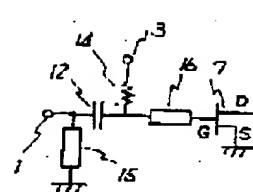
代理人登録印 内原 誠

特開昭60-64508(4)

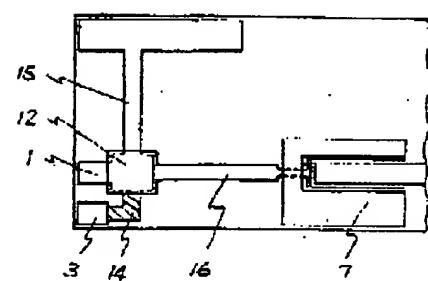
第1図



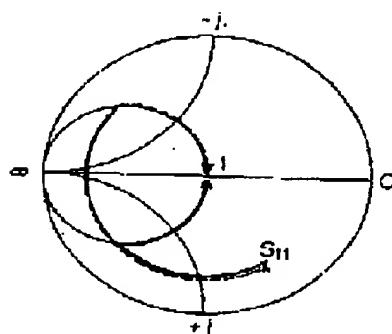
第2図



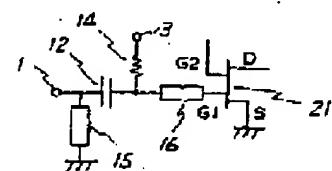
第4図



第3図



第5図



BEST AVAILABLE COPY